

CLIPPEDIMAGE= JP363107128A

PAT-NO: JP363107128A

DOCUMENT-IDENTIFIER: JP 63107128 A

TITLE: CHIP CARRIER

PUBN-DATE: May 12, 1988

INVENTOR-INFORMATION:

NAME

NITTA, MITSURU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP61251869

APPL-DATE: October 24, 1986

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 326/101

ABSTRACT:

PURPOSE: To eliminate distortion and reflection in waveforms and to obtain a high speed logic circuit without signal delay and malfunction, by matching the connecting electrode of a chip carrier with specified characteristic impedance, and matching and terminating the input terminal of the electrode with a terminating resistor formed with a through hole.

⑫ 公開特許公報(A)

昭63-107128

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)5月12日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 チップキャリア

⑯ 特 願 昭61-251869

⑰ 出 願 昭61(1986)10月24日

⑱ 発 明 者 新 田 満 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 山内 梅雄

明 細 書

1. 発明の名称

チップキャリア

2. 特許請求の範囲

半導体集積回路チップを載せる基板と、その基板に設けられて外部回路との接続を行う外部電極と、この外部電極から前記半導体集積回路に向かって前記基板上を延長された接続電極と、この接続電極と前記半導体集積回路の端子電極との間を接続するボンディングワイヤと、前記基板に前記接続電極と電気的に絶縁されて設けられ、その接続電極との間に所定の特性インピーダンスを形成するグラウンド層と、前記接続電極と前記グラウンド層との間を電気接続し、前記特性インピーダンスに整合する抵抗値を持つスルーホールとを設けたことを特徴とするチップキャリア。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路、特に超高速論理素子を搭載するためのチップキャリアに関する。

〔従来の技術〕

半導体集積回路は一般に、チップキャリアに搭載して密閉され、各種外部回路に実装される。このチップキャリアには、外部回路との電気接続に必要な外部電極が取り付けられている。

ここで従来、チップキャリア上に搭載される半導体集積回路チップの端子電極と、チップキャリアの外部電極との間は、ボンディングワイヤで接続されていた。その外部電極やボンディングワイヤ等は、外部回路に実装されたとき、その回路中の伝送線路として、その特性インピーダンスを見た場合、全く不整合であった。従ってこれらは浮遊したインダクタンスおよびキャパシタンスとなっていた。しかし、従来これは無視できる程度のもので、特に問題とされていなかった。

〔発明が解決しようとする問題点〕

ところが、半導体集積回路技術の発達、並びにGaAs(ガリウムヒ素)等の新素子の開発により、最近の論理素子は超高速化されてきている。従って、従来の半導体集積回路に用いられていた

ような、比較的遅いスイッチング速度の論理回路の場合には問題とならなかった、チップキャリアの浮遊インダクタンスやキャパシタンスが問題となってきた。

一般に、論理回路の出力端子は低インピーダンスであり、入力端子は高インピーダンスであり、論理回路相互間を接続する配線基板の信号線は、論理回路の出力端子のインピーダンスに整合がとられている。従って、超高速論理回路の出力端子から信号パルスが出力され配線基板の信号線を伝送線路として受端の論理回路の入力端子まで伝送される場合、まずチップキャリアの外部電極に至るまでのボンディングワイヤや、これと外部電極とを結ぶ接続導体のインピーダンスの不整合により波形歪を生じる。それが伝搬されると、受端の論理回路の入力端子でも波形歪とインピーダンス不整合による反射を生じ、信号遅延や誤動作、あるいは発振を起こしたりしてしまう。

本発明は、以上の点に着目してなされたもので、周辺回路とのインピーダンスの整合性の良いチップ

キャリアを提供することを目的とするものである。

〔問題点を解決するための手段〕

本発明のチップキャリアは、半導体集積回路チップを載せる基板と、その基板に設けられて外部回路との接続を行う外部電極と、この外部電極から上記半導体集積回路に向かって上記基板上を延長された接続電極と、この接続電極と上記半導体集積回路の端子電極との間を接続するボンディングワイヤと、上記基板に上記接続電極と電気的に絶縁されて設けられ、その接続電極との間に所定の特性インピーダンスを形成するグラウンド層と、上記接続電極と上記グラウンド層との間を電気接続し、上記特性インピーダンスに整合する抵抗値を持つスルーホールとを設けたことを特徴とするものである。

〔作用〕

本発明においては、チップキャリアの基板に、接続電極と電気的に絶縁されて設けられ、その接続電極との間に所定の特性インピーダンスを形成

するグラウンド層を設けたので、チップキャリア内の信号伝送線路のインピーダンス整合を行うことができる。

さらに、上記接続電極と上記グラウンド層との間に挿入され、上記特性インピーダンスに整合する抵抗値を持つスルーホールを設けたので、基板を大型化することなく信号伝送線路の整合終端を実現することができる。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は、本発明のチップキャリアの一実施例を示す部分断面図で第2図はその外観斜視図である。

本発明のチップキャリアは、第2図に示すように、基板1上に半導体集積回路チップを搭載して気密封止したものである。この基板1の側面には、多数の凹溝が形成され、外部回路との接続を行う外部電極2が設けられている。また、基板1の上面には、半導体集積回路チップを気密に覆う蓋3が取り付けられている。

さて、第1図の断面図に示すように、基板1は多層構造とされ、中央の凹部に半導体集積回路チップ4が接着固定されている。

基板1の周縁部において、その最上層5は、蓋3を接着固定するための上部絶縁層で、その下側に、接続電極6と、中間絶縁層7と、グラウンド層8と、底部絶縁層9が順に設けられている。外部電極2は、この基板1の側面から下面に回り込むように形成された導電体層からなり、これから半導体集積回路チップ4に向かって、接続電極6が延長されている。接続電極6の一端は、ボンディングワイヤ10によって、半導体集積回路チップ4の端子電極11と接続されている。グラウンド層8は、中間絶縁層7と底部絶縁層9との間に形成された導電体層である。このグラウンド層8と接続電極6との間には、これによって、実装される外部回路と整合する所定の特性インピーダンスが形成されている。そこで、所定の厚さの中間絶縁層7が設けられ、グラウンド層8の面積もこれに対応するように、選定されている。

一方、このグラウンド層8は、スルーホール12を介して接続電極6と電気接続されている。このスルーホール12は、上記特性インピーダンスに整合する抵抗値を有する抵抗体により形成されている。

以上の構成のチップキャリアの、外部電極2を、図示しない外部回路の配線基板上の回路パタンに電気接続すると、この外部回路の特性インピーダンスと、チップキャリアの接続電極6の特性インピーダンスが整合する。また、スルーホール12は、接続電極6を特性インピーダンスで終端する。このため、この部分でのインピーダンスミスマッチによる反射波の発生等が抑制される。

また、スルーホール12を設けておけば、終端抵抗を外部回路に設ける必要はない。

なお、上記グラウンド層8は、上記絶縁層5の内部に埋設されていてもよいし、また、底部絶縁層9の下面に形成されていてもさしつかえない。

〔発明の効果〕

以上説明したように本発明は、チップキャリア

の接続電極を所定の特性インピーダンスに整合させ、さらに、スルーホールによって形成した終端抵抗で、その入力端子を整合終端したので、波形歪や反射をなくし、信号遅延や誤動作をなくした超高速論理回路を実現できる効果がある。

また、スルーホールによる終端抵抗はスペースをとらず、外部回路の簡素化を図ることもできる。

4. 図面の簡単な説明

第1図は本発明のチップキャリアの要部断面図、第2図は本発明のチップキャリアの外観斜視図である。

- 1 …… 基板、2 …… 外部電極、
- 3 …… 蓋、4 …… 半導体集積回路チップ、
- 6 …… 接続電極、8 …… グラウンド層、
- 10 …… ボンディングワイヤ、
- 11 …… 端子電極、
- 12 …… スルーホール。

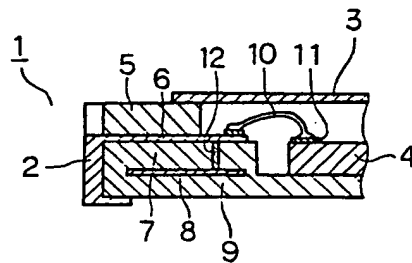
出 願 人

日本電気株式会社

代 理 人

弁理士 山内 梅雄

第1図



第2図

